

DIALOG(R)File 345:lnpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

8703418

Basic Patent (No,Kind,Date): JP 1125866 A2 890518 <No. of Patents: 001>

**MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT (English)**

Patent Assignee: CITIZEN WATCH CO LTD

Author (Inventor): ISHIHARA SEIICHI; TOIDA TAKASHI

IPC: \*H01L-029/78;

Derwent WPI Acc No: C 89-188009

JAPIO Reference No: 130371E000138

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1125866	A2	890518	JP 87282228	A	871110 (BASIC)

Priority Data (No,Kind,Date):

JP 87282228 A 871110

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02828266    \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.:        01-125866 [JP 1125866 A]

PUBLISHED:      May 18, 1989 (19890518)

INVENTOR(s):    ISHIHARA SEIICHI

                 TOIDA TAKASHI

APPLICANT(s):   CITIZEN WATCH CO LTD [000196] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:       62-282228 [JP 87282228]

FILED:           November 10, 1987 (19871110)

INTL CLASS:      [4] H01L-029/78

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:         Section: E, Section No. 807, Vol. 13, No. 371, Pg. 138, August 17, 1989 (19890817)

ABSTRACT

PURPOSE: To produce an LDD structure provided with a high and low concentration regions precise in design formed in a single ion implantation process by a method wherein the effect is fully exploited of side-etching whereto a polycrystalline silicon gate electrode is subjected.

CONSTITUTION: On a silicon substrate 12, a silicon oxide film 14 and a silicon nitride film 16 are formed into an insulating film 17 and then a polycrystalline silicon film 18 is formed to serve as gate electrode material. A photoresist is selectively formed and then dry etching is accomplished to consecutively affect the polycrystalline silicon film 18 and the silicon nitride film 16. When the silicon nitride film 16 is etched, the side also experience etching of the polycrystalline silicon film 18 not covered by the photoresist, which results in a polycrystalline silicon gate electrode 20 finer in pattern than the photoresist. A process follows wherein ions are implanted into the whole surface for the formation of a high concentration impurity region 24 and a low concentration impurity region 20. An interlayer insulating film is formed, wherein a contact window 30 is provided. A wiring metal 32 is finally built for the completion of a MOS transistor of an LDD structure.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-125866

⑬ Int. Cl.<sup>4</sup>.

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

L-8422-5F

⑭ 公開 平成1年(1989)5月18日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路の製造方法

⑯ 特 願 昭62-282228

⑰ 出 願 昭62(1987)11月10日

⑱ 発 明 者 石 原 整 一 埼玉県所沢市大字下富字武野840 シチズン時計株式会社  
技術研究所内

⑲ 発 明 者 戸 井 田 孝 志 埼玉県所沢市大字下富字武野840 シチズン時計株式会社  
技術研究所内

⑳ 出 願 人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明 細 書

1. 発明の名称

半導体集積回路の製造方法

2. 特許請求の範囲

シリコン基板にゲート絶縁膜として酸化シリコン膜と窒化シリコン膜とを形成する工程と、ゲート電極となる多結晶シリコン膜を形成する工程と、フォトリソグラフィにより前記多結晶シリコン膜と窒化シリコン膜とのエッチングを行ない側面がサイドエッチされた前記ゲート電極を得る工程と、イオン注入により高濃度不純物領域と低濃度不純物領域とを形成する工程と、層間絶縁膜を形成する工程と、コンタクト窓を形成する工程と、配線金属を形成する工程とを有することを特徴とする半導体集積回路の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はドレイン領域に高濃度不純物領域と、低濃度不純物領域とを有するいわゆるLDD構造

(Lightly Doped Drain)を有するMOSトランジスタの製造方法に関する。

〔従来技術とその問題点〕

MOSトランジスタを短チャネル化するとホットエレクトロン注入現象が顕著になり、しきい値電圧の変動が生じる。そこでドレイン近傍での電界を緩和することにより、ホットエレクトロンの発生を抑える構造として、ゲート電極近傍の接合深さを浅くかつ不純物濃度をドレイン領域より低くするLDD構造が、例えば特開昭51-68776号公報に提案されている。

このLDD構造を有するMOSトランジスタの製造方法として、例えば特開昭57-107070号公報記載の方法がある。この製造方法はゲート電極をマスクにして低濃度不純物領域を形成した後、絶縁膜を形成し、その後異方性エッチングによりゲート電極の側壁にサイドウォールと呼ばれるスペーサを形成して、このサイドウォールとゲート電極とをマスクにして高濃度不純物領域を形成することによりLDD構造を得る。

しかし上述の特開昭57-107070号公報記載の方法では、2回の不純物導入工程とサイドウォール形成工程とがあり、工程が複雑で長くなる問題点がある。

そこで例えば特開昭62-133722号公報記載の方法のように、1回の不純物導入工程によりLDD構造を得る方法が提案されている。この製造方法を第2図(a)、(b)の半導体集積回路を示す断面図を用いて説明する。

まず第2図(a)に示すように、シリコン基板12にゲート絶縁膜として酸化シリコン膜14とゲート電極材料である多結晶シリコン膜18とを順次形成する。その後フォトリソistを全面に塗布し、マスクを用いて露光を行ない、現像ペーキングを行ない第1のレジスト膜34を形成する。その後さらにフォトリソistを第1のレジスト膜34の膜厚より厚く塗布し、同じマスクを用いて露光現像ペーキングを行ない、第1のレジスト膜34パターンより細いパターンを有する第2のレジスト膜36を形成する。

する。

#### 〔発明の目的〕

本発明の目的は1回のイオン注入により精度良く高濃度不純物領域と低濃度不純物領域とを製造する方法を提供することにある。

#### 〔発明の構成〕

上記目的を達成するため本発明においては下記の製造方法により、LDD構造を有するMOSトランジスタを得る。シリコン基板に酸化シリコン膜と窒化シリコン膜とを形成してゲート絶縁膜とし、さらにゲート電極材料である多結晶シリコン膜を形成する。その後多結晶シリコン膜上にフォトリソistを選択的に形成し、ドライエッチングにより多結晶シリコン膜と窒化シリコン膜とを順次エッチングする。この窒化シリコン膜エッチングのとき、フォトリソistに覆われてない多結晶シリコン膜の側面がサイドエッチされ、フォトリソistパターンより細いパターンを有する多結晶シリコン膜からなるゲート電極が形成される。その後全面にイオン注入することにより、高濃度不

次に第2図(b)に示すように、多結晶シリコン膜18を第1のレジスト膜34と第2のレジスト膜36とをマスクに、反応性イオンエッチング装置(RIE)でエッチングすることにより、段差を有するゲート電極20を形成する。

その後このゲート電極20をマスクにイオン注入することにより、段差部に対応して高濃度不純物領域24と低濃度不純物領域26とを形成することにより、LDD構造を得る。

この特開昭62-133722号公報に開示された方法では、1回のイオン注入によりLDD構造を得ることができるが、第1のレジスト膜34と第2のレジスト膜36とを同一マスクを用いて露光時間を変えることにより、パターン法の異なる第1のレジスト膜34と第2のレジスト膜36を形成している。したがって第1のレジスト膜34と第2のレジスト膜36のマスク合わせずれが発生し、ゲート電極20の段差が非対称になり、さらにマスク合わせずれが大きくなると低濃度不純物領域26が形成されないという問題点が発生

不純物領域と低濃度不純物領域とを形成する。さらに層間絶縁膜を形成し、この層間絶縁膜にコンタクト窓を形成し、配線金属を形成することによりLDD構造を有するMOSトランジスタを得る。

#### 〔実施例〕

以下第1図(a)乃至第1図(d)の半導体集積回路を示す断面図を用いて本発明の製造方法を説明する。

まず第1図(a)に示すようにシリコン基板12を酸化雰囲気中の酸化処理により、酸化シリコン膜14を形成する。さらに化学気相成長法(CVD)により、窒化シリコン膜16を形成する。この酸化シリコン膜14と窒化シリコン膜16とを、ゲート絶縁膜17とする。その後CVD法により膜厚450nm程度の多結晶シリコン膜18を形成して、さらにフォトリソistを全面に回転塗布により形成し、マスクを用いて露光を行ない現像ペーキングを行ないフォトリソist22を選択的に形成する。

次に第1図(b)に示すように、フォトリソist22をマスクとしてドライエッチングにて、多結

品シリコン膜18と窒化シリコン膜16と酸化シリコン膜14とを順次エッチングする。この窒化シリコン膜16のエッチング時に、多結晶シリコン膜18と窒化シリコン膜16との膜質の違いにより、不活性ガスやエッチングガスのイオンやラジカルが、多結晶シリコン膜18と反応してフォトレジスト22に覆われてない多結晶シリコン膜18の側面がサイドエッチされ、フォトレジスト22と窒化シリコン膜16パターンより細いパターンを有する多結晶シリコン膜18が得られる。酸化シリコン膜14のエッチングは、フッ酸系のエッチング液で行なっても良い。

この多結晶シリコン膜18と窒化シリコン膜16のエッチング条件の一例を下記に示す。

ドライエッチング装置としては、アノード結合型の反応性イオンエッチング装置を用いた。まず多結晶シリコン膜18は、六フッ化イオウ( $\text{SF}_6$ )流量150 SCCM(Standard Cubic Centimeter per Minute)と、酸素( $\text{O}_2$ )流量55 SCCMとの混合ガスで、高周波出力

95 Wの条件で1分間に600 nmのエッチングレートでエッチングを行なった。

窒化シリコン膜16は、フロン14( $\text{CF}_4$ )流量50 SCCMと、フロン13B1( $\text{CF}_3\text{Br}$ )流量5 SCCMと、酸素( $\text{O}_2$ )流量5 SCCMと、ヘリウム( $\text{He}$ )流量50 SCCMとの混合ガスで、高周波出力50 Wの条件で1分間に14 nmのエッチングレートでエッチングした。この窒化シリコン膜16のエッチングのとき、例えば窒化シリコン膜厚が14 nmの場合、多結晶シリコン膜の側面の片側が0.2 μmサイドエッチされる。

この結果第1図(b)に示すように多結晶シリコン膜18は、フォトレジスト22および窒化シリコン膜16パターンより細くなり、かつ側面がほぼ垂直な多結晶シリコン膜18からなるゲート電極が得られる。窒化シリコン膜16の膜厚すなわち窒化シリコン膜16のエッチング時間により、多結晶シリコン膜18のサイドエッチ量が制御できる。

ゲート絶縁膜17としては、酸化シリコン膜14と窒化シリコン膜16を誘電率の比から、窒化シリコン膜を酸化シリコン膜に換算した合計の膜厚をゲート絶縁膜17とし、MOSトランジスタのしきい値電圧等の電気特性を制御すれば良い。

すなわち所望の多結晶シリコン膜18からなるゲート電極のサイドエッチ量が、得られるような窒化シリコン膜16の膜厚が決まれば、それに伴って必要な酸化シリコン膜14の膜厚が決まる。

次に第1図(c)に示すように、例えばNチャネルMOSトランジスタの場合、砒素を加速エネルギー50 keV、イオン注入量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入を行なう。その後窒素雰囲気中温度1000℃の熱処理を行ない、イオン注入により導入した不純物の活性化を行なう。ゲート電極20がゲート絶縁膜17より細いパターンであることから、接合深さが深い高濃度不純物領域24と、接合深さが浅い低濃度不純物領域26が得られる。

その後第1図(d)に示すように、例えばリンを添

加した二酸化シリコン膜(PSG)からなる層間絶縁膜28をCVD法で形成する。さらにフォトレジストにより、この層間絶縁膜28にコンタクト窓30を形成し、例えばシリコンを添加したアルミニウムからなる配線金属32を形成することにより、LDD構造を有するMOSトランジスタを得る。

#### 〔発明の効果〕

以上の説明で明らかなように、多結晶シリコンのゲート電極がサイドエッチされることを利用して、1回のイオン注入により精度良く高濃度不純物領域と低濃度不純物領域を持つLDD構造が得られる。

#### 4. 図面の簡単な説明

第1図(a)乃至第1図(d)は本発明の半導体集積回路を示す断面図、第2図(a)、(b)は従来例における半導体集積回路を示す断面図である。

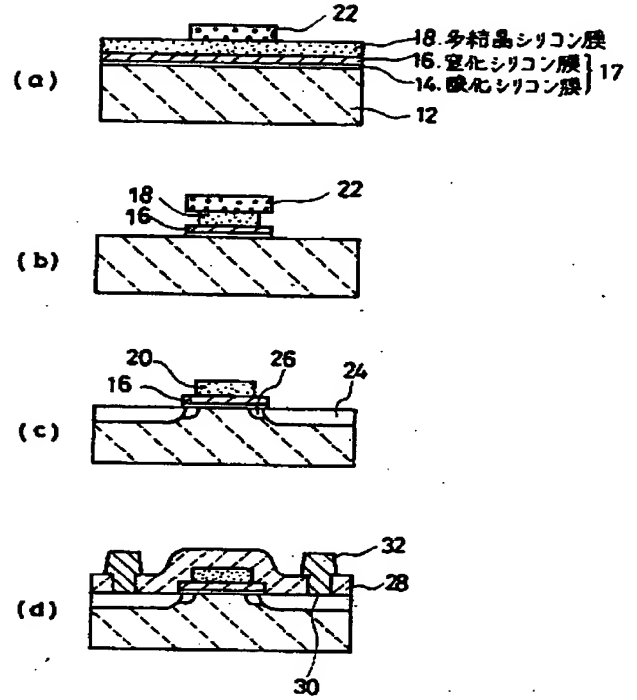
16……窒化シリコン膜、

18……多結晶シリコン膜、

20……ゲート電極、

24 --- 高濃度不純物領域、  
26 --- 低濃度不純物領域。

第1図



特許出願人 シチズン時計株式会社



第2図

